



PATENT

ATTORNEY DOCKET NO.: 040894-5699

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Takashi NAKAMURA, et al.

Application No.: 09/935,639

Filed: August 24, 2001

For: SEMICONDUCTOR DEVICE AND
METHOD FOR MANUFACTURING
THE SAME

Group Art Unit: 2811

Examiner: Unassigned

Commissioner for Patents
Washington, D.C. 20231

CLAIM FOR PRIORITY

Under the provisions of 35 U.S.C. §119, Applicants' hereby claim the benefit of the filing date of **Japan** Patent Application Nos. 1.) 2000-254291 filed August 24, 2000, 2.) 2001-254696 filed August 24, 2001 for the above-identified United States Patent Application.

In support of Applicants' claim for priority, filed herewith is a certified copy of the Japan application.

Respectfully submitted,

MORGAN, LEWIS & BOCKIUS LLP

Robert J. Goodell
Reg. No. 41,040

Dated: April 24, 2002

MORGAN, LEWIS & BOCKIUS LLP
1111 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
(202)739-3000

RECEIVED
APR 25 2002
TECHNOLOGY CENTER 2800



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月24日

出 願 番 号

Application Number:

特願2000-254291

出 願 人

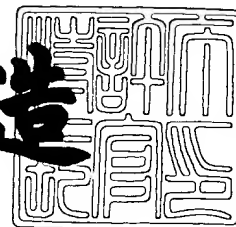
Applicant(s):

ローム株式会社

2001年 8月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3075238

【書類名】 特許願

【整理番号】 P-35650

【提出日】 平成12年 8月24日

【あて先】 特許庁長官殿

【発明者】

 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会
社内

 【氏名】 中村 孝

【発明者】

 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会
社内

 【氏名】 榎村 浩

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100108589

 【弁理士】

 【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板表面上に形成された電極を含み、

前記電極が下式



$M1$: Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、
Co、Fe、Ni、V、Cr

$M2$: Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶からなるバリア層を含むことを特徴とする半導体装置。

【請求項 2】 前記バリア層の組成比は、酸素の拡散あるいはスパイクを防止し得る程度に粒界が不定形となるように決定されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体基板表面は、半導体基板上に形成された、タングステンプラグであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記半導体基板表面は、前記誘電体層の結晶化温度で酸化が進行する可能性をもつ材料で構成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】 前記半導体基板表面は、ポリシリコン、タングステン、コバルト、モリブデン、銅、あるいはこれらのシリサイド、合金の少なくとも一種からなることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 6】 さらに前記電極表面に誘電体層を形成してなることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】 前記誘電体層は、PZTであることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 8】 半導体基板表面に形成された下部電極と、
前記下部電極上に形成され、強誘電体または高誘電率を有する誘電体からなる誘電体層と、

前記誘電体層上に形成された上部電極とを備え、

前記下部電極は下式



$M1$: Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、
Co、Fe、Ni、V、Cr

$M2$: Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶からなるバリア層を含む誘電体キャパシタを具備したことを特徴とする半導体装置。

【請求項 9】 前記バリア層は、イリジウムタンタル層 $Ir_x Ta_{1-x}$ ($0 \leq x \leq 1$) からなることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 半導体基板表面に形成された下部電極と、
前記下部電極上に形成され、強誘電体または高誘電率を有する誘電体からなる誘電体層と、

前記誘電体層上に形成された上部電極とを備え、

前記誘電体層と前記上部電極との間に下式



$M1$: Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、
Co、Fe、Ni、V、Cr

$M2$: Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶からなるバリア層を含む誘電体キャパシタを具備したことを特徴とする半導体装置。

【請求項 11】 前記バリア層は、イリジウムタンタル層 $Ir_x Ta_{1-x}$ ($0 \leq x \leq 1$) からなることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記バリア層は、組成比が変化するグレーディング層を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 13】 前記バリア層は、タングステンブラグ上に形成されたイリジウムタンタル層 $Ir_x Ta_{1-x}$ ($0 \leq x \leq 1$) からなり、前記電極は Ir 層であることを特徴とする請求項 10 に記載の半導体装置。

【請求項 14】 前記バリア層は、タングステンブラグ上に形成されたイリジウム

タンタル層 $\text{Ir}_x\text{Ta}_{1-x}$ ($0 \leq x \leq 1$) からなり、前記電極はプラチナ層であることを特徴とする請求項 10 に記載の半導体装置。

【請求項 15】半導体基板表面上に形成された電極を含み、

前記電極が下式

$$\text{M1}_x\text{M2}_{1-x}$$

$\text{M1} : \text{Au}, \text{Pt}, \text{Ir}, \text{Pd}, \text{Os}, \text{Re}, \text{Rh}, \text{Tu}, \text{Cu},$
 $\text{Co}, \text{Fe}, \text{Ni}, \text{V}, \text{Cr}$

$\text{M2} : \text{Ti}, \text{Zr}, \text{Hf}, \text{W}, \text{Y}, \text{Mo}, \text{Nb}$

で表されるアモルファスまたは微結晶単層で構成されていることを特徴とする半導体装置。

【請求項 16】前記バリア層は、下地材料の構成元素を微量含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 17】半導体基板表面に、電極を形成する工程と、この上層に誘電体膜を形成する工程とを含み、前記電極を形成する工程が、

下式

$$\text{M1}_x\text{M2}_{1-x}$$

$\text{M1} : \text{Au}, \text{Pt}, \text{Ir}, \text{Pd}, \text{Os}, \text{Re}, \text{Rh}, \text{Tu}, \text{Cu},$
 $\text{Co}, \text{Fe}, \text{Ni}, \text{V}, \text{Cr}$

$\text{M2} : \text{Ti}, \text{Zr}, \text{Hf}, \text{W}, \text{Y}, \text{Mo}, \text{Nb}$

で表されるアモルファスまたは微結晶からなるバリア層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 18】前記バリア層の組成比は、酸素の拡散あるいはスパイクを防止し得る程度に粒界が不定形となるように決定され、前記誘電体層の形成工程は、前記バリア層の結晶化温度よりも低い温度で成膜する工程であることを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 19】前記電極は、半導体基板表面に形成された、タングステンプラグ上に形成されていることを特徴とする請求項 17 または 18 に記載の半導体装置の製造方法。

【請求項 20】前記電極は、少なくとも表面層が、前記誘電体層の結晶化温度で

酸化が進行する可能性のある材料上に形成されていることを特徴とする請求項 17 または 18 に記載の半導体装置の製造方法。

【請求項 21】前記電極は、タングステン、コバルト、モリブデン、銅、あるいはこれらのシリサイド、合金の少なくとも一種を含むことを特徴とする請求項 17 または 18 に記載の半導体装置の製造方法。

【請求項 22】前記誘電体層は、強誘電体層であることを特徴とする請求項 17 乃至 21 のいずれかに記載の半導体装置の製造方法。

【請求項 23】前記強誘電体層の形成工程は、ゲルゾル法により P Z T を形成する工程であることを特徴とする請求項 17 乃至 21 のいずれかに記載の半導体装置の製造方法。

【請求項 24】半導体基板表面に、下部電極を形成する工程と、

前記下部電極上に、強誘電体または高誘電率を有する誘電体からなる誘電体層を形成する工程と、

前記誘電体層上に上部電極を形成する工程とを含み、

前記下部電極を形成する工程は、下式

$$M1_x M2_{1-x}$$

$M1$: Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、Co、Fe、Ni、V、Cr

$M2$: Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶からなるバリア層を形成する工程を含み、

誘電体キャパシタを形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項 25】前記バリア層は、イリジウムタンタル層 $Ir_x Ta_{1-x}$ からなることを特徴とする請求項 24 に記載の半導体装置の製造方法。

【請求項 26】半導体基板表面に下部電極を形成する工程と、

前記下部電極上に、強誘電体または高誘電率を有する誘電体からなる誘電体層を形成する工程と、

前記誘電体層上に、下式

$$M1_x M2_{1-x}$$

$M1 : Au, Pt, Ir, Pd, Os, Re, Rh, Tu, Cu, Co, Fe, Ni, V, Cr$

$M2 : Ti, Zr, Hf, W, Y, Mo, Nb$

で表されるアモルファスまたは微結晶からなるバリア層を形成する工程と、

前記バリア層上に上部電極を形成する工程とを含み、

誘電体キャパシタを形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項 27】 前記バリア層は、イリジウムタンタル層 Ir_xTa_{1-x} からなることを特徴とする請求項 26 に記載の半導体装置の製造方法。

【請求項 28】 前記バリア層の形成工程は、ターゲット温度を変化させ、組成比を徐々に変化させ、グレーディング層を形成するスパッタリング工程を含むことを特徴とする請求項 26 に記載の半導体装置の製造方法。

【請求項 29】 半導体基板表面上に形成された電極を含み、

前記電極が下式

$M1_xM2_{1-x}$

$M1 : Au, Pt, Ir, Pd, Os, Re, Rh, Tu, Cu, Co, Fe, Ni, V, Cr$

$M2 : Ti, Zr, Hf, W, Y, Mo, Nb$

で表されるアモルファスまたは微結晶単層で構成されていることを特徴とする半導体装置の製造方法。

【請求項 30】 前記バリア層は、下地材料の構成元素を微量含むことを特徴とする請求項 17 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特に酸化され易い材料からなる電極上に高温工程で誘電体膜を形成する工程を含む半導体装置に関する。さらには、誘電体キャパシタに関するものであり、特にその強誘電性の向上に関するものである。

【 0 0 0 2 】

強誘電体メモリ（F e R A M）は、不揮発性、定電力動作、高速書き込み、高書き換え耐性など、優れた特徴を有し、近年注目されているデバイスである。

【 0 0 0 3 】

この強誘電体メモリに用いられる強誘電体キャパシタは、例えば、図 1 7 に示すように、シリコン基板 1 上に、形成された酸化シリコン層 2 にタングステンブラグ 3 を形成し、白金からなる下部電極 4、P Z T ($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$) 膜からなる強誘電体層 6、白金からなる上部電極 7 を積層してなるものである。

【 0 0 0 4 】

なお、ここで、下部電極 5 として白金を用いているのは、次のような理由によるものである。P Z T 膜 8 は、配向膜の上に形成しなければならない。アモルファス膜の上に形成すると、配向性が悪いため強誘電性が損なわれてしまうからである。一方、下部電極 5 は、シリコン基板 1 から絶縁した状態で形成しなければならない。このため、シリコン基板 1 上に酸化シリコン層 2 を形成している。この酸化シリコン層 2 はアモルファスである。一般に、アモルファスの上に形成した膜は無配向膜となるが、白金はアモルファス膜上に形成しても、配向膜となる性質を有している。このような理由から、下部電極として白金が用いられることが多い。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記のような従来の強誘電体キャパシタには、次のような問題点があった。

【 0 0 0 6 】

白金は酸素を透過しやすいため、強誘電体（P Z T）内の酸素の抜け出し、経年変化および分極反転の繰り返しによって強誘電性が低下するという問題があった。つまり、図 1 8 に示すように、白金の柱状結晶の間から、強誘電体中の酸素が抜け出すおそれがあった。

【 0 0 0 7 】

また、このような問題は強誘電体メモリのみならず高誘電率を有する誘電体を

用いたキャパシタにおいても同様に生じていた。

さらにまた、従来タンタルシリコンナイトライド (TaSiN) が配線バリア層として提案されているが、酸化されるとチッ素が発生する上、このような配線においても後の熱処理により酸化膜が形成されて導電性が低下するという問題があった。

【 0 0 0 8 】

本発明は、上記の問題点を解決して、下地材料の酸化を防止し、製造時のみならず、経年劣化および分極反転の繰り返しによる劣化の少ない強誘電体キャパシタまたは高誘電率を有する誘電体キャパシタを提供することを目的とする。

また本発明は、比抵抗の増大なしに信頼性の高い配線を有する半導体装置を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

なお、この発明において、「キャパシタ」とは絶縁体の両側に電極が設けられた構造を指すものであり、電荷の蓄積に用いられると否とにかかわらず、この構造を有するものを含むものとする。

【 0 0 1 0 】

本発明の第1は、半導体基板表面上に形成された電極を含み、
前記電極が下式

$$M1_x M2_{1-x}$$

$M1 : Au, Pt, Ir, Pd, Os, Re, Rh, Tu, Cu, Co, Fe, Ni, V, Cr$

$M2 : Ti, Zr, Hf, W, Y, Mo, Nb$

で表されるアモルファスまたは微結晶からなるバリア層を含むことを特徴とする。

【 0 0 1 1 】

本発明の第2は、請求項1に記載の半導体装置において、前記バリア層の組成比は、酸素の拡散あるいはスパイクを防止し得る程度に粒界が不定形となるように決定されていることを特徴とする。

【 0 0 1 2 】

本発明の第 3 は、請求項 1 または 2 に記載の半導体装置において、前記半導体基板表面は、半導体基板上に形成された、タングステンプラグであることを特徴とする。

【 0 0 1 3 】

本発明の第 4 は、請求項 1 または 2 に記載の半導体装置において、前記半導体基板表面は、前記誘電体層の結晶化温度で酸化が進行しうる材料で構成されていることを特徴とする。

【 0 0 1 4 】

本発明の第 5 は、請求項 1 または 2 に記載の半導体装置において、前記半導体基板表面は、タングステン、コバルト、モリブデン、銅、あるいはこれらのシリサイド、合金の少なくとも一種からなることを特徴とする。

【 0 0 1 5 】

本発明の第 6 は、請求項 1 乃至 5 のいずれかに記載の半導体装置において、さらに前記電極表面に誘電体層を形成してなることを特徴とする。

【 0 0 1 6 】

本発明の第 7 は、請求項 1 乃至 5 のいずれかに記載の半導体装置において、前記誘電体層は、P Z Tであることを特徴とする。

【 0 0 1 7 】

本発明の第 8 は、請求項 1 に記載の半導体装置において、半導体基板表面に形成された下部電極と、前記下部電極上に形成され、強誘電体または高誘電率を有する誘電体からなる誘電体層と、前記誘電体層上に形成された上部電極とを備え、前記下部電極は下式

$$M1_x M2_{1-x}$$

M1 : A u、P t、I r、P d、O s、R e、R h、T u、C u、
C o、F e、N i、V、C r

M2 : T i、Z r、H f、W、Y、M o、N b

で表されるアモルファスまたは微結晶からなるバリア層を含む誘電体キャパシタを具備したことを特徴とする。

【0018】

本発明の第9は、請求項8に記載の半導体装置において、前記バリア層は、イリジウムタンタル層 $\text{Ir}_x\text{Ta}_{1-x}$ ($0 \leq x \leq 1$) からなることを特徴とする。

【0019】

本発明の第10は、請求項1に記載の半導体装置において、半導体基板表面に形成された下部電極と、前記下部電極上に形成され、強誘電体または高誘電率を有する誘電体からなる誘電体層と、前記誘電体層上に形成された上部電極とを備え、

前記誘電体層と前記上部電極との間に下式

$$\text{M1}_x\text{M2}_{1-x} \quad (0 \leq x \leq 1)$$

$\text{M1} : \text{Au}, \text{Pt}, \text{Ir}, \text{Pd}, \text{Os}, \text{Re}, \text{Rh}, \text{Ta}, \text{Cu}, \text{Co}, \text{Fe}, \text{Ni}, \text{V}, \text{Cr}$

$\text{M2} : \text{Ti}, \text{Zr}, \text{Hf}, \text{W}, \text{Y}, \text{Mo}, \text{Nb}$

で表されるアモルファスまたは微結晶からなるバリア層を含む誘電体キャパシタを具備したことを特徴とする。

【0020】

本発明の第11は、請求項10に記載の半導体装置において、前記バリア層は、イリジウムタンタル層 $\text{Ir}_x\text{Ta}_{1-x}$ ($0 \leq x \leq 1$) からなることを特徴とする。

【0021】

本発明の第12は、請求項1に記載の半導体装置において、前記バリア層は、組成比が変化するグレーディング層を含むことを特徴とする。

【0022】

本発明の第13は、請求項10に記載の半導体装置において、前記バリア層は、タングステンプラグ上に形成されたイリジウムタンタル層 $\text{Ir}_x\text{Ta}_{1-x}$ ($0 \leq x \leq 1$) からなり、前記電極はIr層であることを特徴とする。

【0023】

本発明の第14は、請求項10に記載の半導体装置において、前記バリア層は、タングステンプラグ上に形成されたイリジウムタンタル層 $\text{Ir}_x\text{Ta}_{1-x}$ ($0 \leq x$

≦ 1) からなり、前記電極はプラチナ層であることを特徴とする。

【 0 0 2 4 】

本発明の第 1 5 は、半導体基板表面上に形成された電極を含み、

前記電極が下式



M1 : Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、
Co、Fe、Ni、V、Cr

M2 : Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶単層で構成されていることを特徴とする半導体装置。

【 0 0 2 5 】

本発明の第 1 6 は、請求項 1 記載の半導体装置において、バリア層は、下地材料の構成元素を微量含むことを特徴とする。

たとえば、シリコン、タングステン、または銅を微量含むことにより、さらにバリア性が向上する。

【 0 0 2 6 】

本発明の第 1 7 は、半導体基板表面に、電極を形成する工程と、この上層に誘電体膜を形成する工程とを含み、前記電極を形成する工程が、下式



M1 : Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、
Co、Fe、Ni、V、Cr

M2 : Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶からなるバリア層を形成する工程を含むことを特徴とする。

【 0 0 2 7 】

本発明の第 1 8 は、請求項 1 7 に記載の半導体装置の製造方法において、前記バリア層の組成比は、酸素の拡散あるいはスパイクを防止し得る程度に粒界が不定形となるように決定され、前記誘電体層の形成工程は、前記バリア層の結晶化温度よりも低い温度で成膜する工程であることを特徴とする。

【 0 0 2 8 】

本発明の第 1 9 は、請求項 1 7 または 1 8 に記載の半導体装置の製造方法において、前記電極は、半導体基板表面に形成された、タングステンプラグ上に形成されていることを特徴とする。

【 0 0 2 9 】

本発明の第 2 0 は、請求項 1 7 または 1 8 に記載の半導体装置の製造方法において、前記電極は、少なくとも表面層が、前記誘電体層の結晶化温度で酸化が進行する材料上に形成されていることを特徴とする。

【 0 0 3 0 】

本発明の第 2 1 は、請求項 1 7 または 1 8 に記載の半導体装置の製造方法において、前記電極は、タングステン、コバルト、モリブデン、銅、あるいはこれらのシリサイド、合金の少なくとも一種を含むことを特徴とする。

【 0 0 3 1 】

本発明の第 2 2 は、請求項 1 7 乃至 1 9 のいずれかに記載の半導体装置の製造方法において、前記誘電体層は、強誘電体層であることを特徴とする。

【 0 0 3 2 】

本発明の第 2 3 は、請求項 1 7 乃至 2 1 のいずれかに記載の半導体装置の製造方法において、前記強誘電体層の形成工程は、ゲルゾル法により P Z T を形成する工程であることを特徴とする。

【 0 0 3 3 】

本発明の第 2 4 は、半導体基板表面に、下部電極を形成する工程と、
前記下部電極上に、強誘電体または高誘電率を有する誘電体からなる誘電体層を形成する工程と、

前記誘電体層上に上部電極を形成する工程とを含み、

前記下部電極を形成する工程は、下式



M1 : A u、P t、I r、P d、O s、R e、R h、T u、C u、
C o、F e、N i、V、C r

M2 : T i、Z r、H f、W、Y、M o、N b

で表されるアモルファスまたは微結晶からなるバリア層を形成する工程を含み、
誘電体キャパシタを形成するようにしたことを特徴とする。

【 0 0 3 4 】

本発明の第 2 5 は、請求項 2 4 に記載の半導体装置の製造方法において、前記
バリア層は、イリジウムタンタル層 $\text{Ir}_x\text{Ta}_{1-x}$ からなることを特徴とする。

【 0 0 3 5 】

本発明の第 2 6 は、半導体基板表面に下部電極を形成する工程と、
前記下部電極上に、強誘電体または高誘電率を有する誘電体からなる誘電体層
を形成する工程と、前記誘電体層上に、下式



$\text{M1} : \text{Au}, \text{Pt}, \text{Ir}, \text{Pd}, \text{Os}, \text{Re}, \text{Rh}, \text{Tl}, \text{Cu},$
 $\text{Co}, \text{Fe}, \text{Ni}, \text{V}, \text{Cr}$

$\text{M2} : \text{Ti}, \text{Zr}, \text{Hf}, \text{W}, \text{Y}, \text{Mo}, \text{Nb}$

で表されるアモルファスまたは微結晶からなるバリア層を形成する工程と、前記
バリア層上に上部電極を形成する工程とを含み、誘電体キャパシタを形成するよ
うにしたことを特徴とする。

【 0 0 3 6 】

本発明の第 2 7 は、請求項 2 6 に記載の半導体装置の製造方法において、前記
バリア層は、イリジウムタンタル層 $\text{Ir}_x\text{Ta}_{1-x}$ からなることを特徴とする。

【 0 0 3 7 】

本発明の第 2 8 は、請求項 2 6 に記載の半導体装置の製造方法において、前記
バリア層の形成工程は、ターゲット温度を変化させ、組成比を徐々に変化させ、
グレーディング層を形成するスパッタリング工程を含むことを特徴とする。

【 0 0 3 8 】

本発明の第 2 9 は、半導体基板表面上に形成された電極を含み、
前記電極が下式



$\text{M1} : \text{Au}, \text{Pt}, \text{Ir}, \text{Pd}, \text{Os}, \text{Re}, \text{Rh}, \text{Tl}, \text{Cu},$
 $\text{Co}, \text{Fe}, \text{Ni}, \text{V}, \text{Cr}$

M2 : Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶単層で構成されていることを特徴とする。

【0039】

本発明の第30は、請求項17記載の半導体装置の製造方法において、前記バリア層は、下地材料の構成元素を微量含むことを特徴とする。

【0040】

【作用】

本発明の半導体装置は、電極と誘電体層との間に下式

$$M1_x M2_{1-x}$$

M1 : Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、Co、Fe、Ni、V、Cr

M2 : Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶からなるバリア層を含むようにしている。かかる構成によれば、このアモルファス又は微結晶からなるバリア層は、はっきりした粒界がないため、バリア効果が大きく、酸素などの相互拡散や、スパイクが防止される。また、このような化合物は、誘電体層の成膜温度で結晶化することなくアモルファス又は微結晶の状態を維持することができる。したがって、誘電体層からの酸素の抜け出しを防止することができ、誘電特性の経年変化を抑えることができる。また、これらのアモルファス又は微結晶膜上に形成される誘電体薄膜は、配向性も良好であり、信頼性の高い誘電体構造を提供することが可能となる。

【0041】

特に電極表面が誘電体層の結晶化温度で酸化するような材料である場合は、本発明のバリア層が介在しない場合は、電極表面が酸化され、比抵抗が増大するという問題があるが、本発明によれば、バリア層の存在により、誘電体層からの酸素の抜け出しを確実に防止することができ、誘電特性の経年変化を抑えることができる。

【0042】

また、請求項7によれば、強誘電体層がPZTで構成されている。PZTの場合、ソ

ルゲル法による成膜では、塗布後 7 0 0℃1-60分の熱処理が必要である。またスパッタリング法によれば、基板温度あるいは熱処理温度は 7 0 0℃程度となる。また MOCVD 法によれば、基板温度は 6 0 0 - 6 5 0℃程度となる。しかしながら、かかる方法によれば、基板温度が 7 0 0℃程度となっても本発明のバリア層はアモルファス又は微結晶状態を維持し、気体を発生したりすることもなく、安定でかつ比抵抗の増大を抑制することが可能となる。

【 0 0 4 3 】

また、本発明のバリア層はアモルファス又は微結晶ではあるが、この上層に誘電体層を形成する場合、結晶配向性の良い誘電体層を形成することができる。

従って、強誘電性、高誘電性の良好な誘電体キャパシタを提供することができる。

【 0 0 4 4 】

本発明の方法によっても同様にバリア層の存在により、誘電体層からの酸素の抜け出しを確実に防止することができ、成膜時のみならず、誘電特性の経年変化を抑えることができる。

【 0 0 4 5 】

特に、I r T a は結晶化温度が 900℃以上であり、酸化しても気体の発生もなくまた、導電性が低下することもなく、しかもこの上層に誘電体膜を形成する場合、アモルファスまたは微結晶状態を維持し、この上層への配向性の良好な薄膜形成が可能となる。

【 0 0 4 6 】

なお、本発明は、誘電体キャパシタのみならず、配線層の形成後、酸化性雰囲気での加熱工程を伴うような場合には、有効である。

なお、本発明で用いられるバリア層 $M_1 x M_2 1-x$ としては、

$Au_{0.4}Fe_{0.6}$ 、 $Au_{0.35}Ti_{0.65}$ 、 $Au_{0.35}Zr_{0.65}$ 、 $Co_{0.40}Hf_{0.60}$ 、 $Co_{0.5}Mo_{0.5}$ 、 $Co_{0.5}Ta_{0.5}$ 、

…C Ti, CoW, CoY, CoZr, CrTi, CrTi, CuHf, CuTa, CuZr, FeMo, FeTi, FeW, FeY, FeZr, HfNi, HfV, IrNb, IrTa, MoNi, M Re, MoRu, MoZr, NbNi, NbPd, NbRh, NiTa, NiTi, NiW, NiY, NiZr, OsTa, OsW, PdTi, PtW, PtZr, ReTa, ReW, RhZr, RuW, RuZr, VZr, WZr.

等が適用可能である。

【 0 0 4 7 】

なおこの組成比は適宜変更可能であり、また、組成比を連続的に変化させることにより、下地および上層の膜との格子整合性を高めることが可能であるが、組成比を連続的に変化させることにより、格子整合性を高めつつ機能的に目的値に近い材料を得ることが可能である。

【 0 0 4 8 】

なお、この組成比のわずかな変化によっても結晶化温度は大幅に変化するため適宜注意する必要がある。言い換えると必要な特性を得つつ、格子整合性を高め、信頼性の高い結晶薄膜を提供することも可能である。

【 0 0 4 9 】

ここで微結晶とは、結晶粒径が10 nm前後またはそれより小さいものをいい、粒界が膜厚全体にわたって貫通していないものをいうものとする。

【 0 0 5 0 】

【発明の実施の形態】

図1に、本発明の第1の実施形態として強誘電体キャパシタの構造を示す。

本発明の第1の実施形態の強誘電体キャパシタは、図1に示すように、従来の強誘電体キャパシタのタングステンプラグ3上に形成された膜厚100 nmのIr層からなる下部電極5と、膜厚210 nmのPZTからなる強誘電体層6とからなり、前記下部電極5はさらにタングステンプラグ3側に膜厚100 nmの $\text{Ir}_{0.4}\text{Ta}_{0.6}$ からなるバリア層4を介在させたことを特徴とする。

【 0 0 5 1 】

すなわち、本発明では、図2(a)に示すように、所望の素子領域の形成されたシリコン基板1に、酸化シリコン層2を形成した後、コンタクトホールを形成する。

【 0 0 5 2 】

そして図示しないTi層および、TiN層を形成したのち、図2(b)に示すように、このコンタクトホール内に WF_6 を用いたCVD法によりタングステンを埋め込みタングステンプラグ3を形成する。

【 0 0 5 3 】

そして、図 2 (c) に示すように、スパッタリング法により膜厚 1 0 0 n m の $\text{Ir}_{0.4}\text{Ta}_{0.6}$ からなるバリア層 4 を形成する

【 0 0 5 4 】

こののち、図 2 (d) に示すように、スパッタリング法により膜厚 1 0 0 n m の Ir 層からなる下部電極 5 を形成する。

【 0 0 5 5 】

そして、この上層に図 2 (e) に示すように、ゾルゲル法により PZT 薄膜を形成する。そして R T A 法により、6 2 5 °C 1 分 の 結 晶 化 ア ニール 工 程 を 経 て、強誘電体層が形成される。

【 0 0 5 6 】

そして最後に上部電極 7 を形成し、強誘電体メモリが完成する。

【 0 0 5 7 】

かかる構成によれば、下部電極のシート抵抗の増大もなく、安定で信頼性の高い強誘電体メモリが完成する。

【 0 0 5 8 】

アニール後の W、I r T a の酸化、膜はがれも無く、信頼性の高い膜質を維持し、信頼性の高い強誘電体メモリを得ることが可能となる。

【 0 0 5 9 】

このようにして形成された強誘電体メモリは図 3 に説明図を示すように、バリア層 4 がアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層で構成されているため、強誘電体層の酸素はバリア層で透過を阻止される。

【 0 0 6 0 】

したがってリーク電流もなく、長寿命で信頼性の高い強誘電体メモリの形成が可能となる。

【 0 0 6 1 】

膜厚 1 0 0 n m のアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層との膜厚 1 0 0 n m の Ir 層との積層体のシート抵抗は、 $1 \times 10^{-1} \Omega$ であって、電極材料として問題はない。

【 0 0 6 2 】

Irは、柱状の結晶であるため、この上層に形成される強誘電体膜6は極めて配向性の良好なものとなる。わずかに強誘電体膜6中の酸素を透過するが、透過した酸素はIrO₂として柱状結晶のまわりに析出し、バリア性が高められる。一方アモルファスIr_{0.4}Ta_{0.6}層はさらにバリア性が高いため、強誘電体膜中の酸素はこれら2層の膜（Ir層5とアモルファスIr_{0.4}Ta_{0.6}層4）の存在により基板側に透過することはない。

これにより、強誘電体膜6の強誘電性は大幅に向上する。

【0063】

なお、前記実施例では、下部電極5のみにアモルファスIr_{0.4}Ta_{0.6}層4を、形成したが、さらに上部電極7にもアモルファスIr_{0.4}Ta_{0.6}層を介在させることにより、強誘電体膜中の酸素の透過を確実に防止することができる。しかし、何れか一方だけでも、ある程度の効果を得ることができる。

【0064】

上記のような強誘電体キャパシタは、たとえば、トランジスタのソースドレインの一方と上部電極または下部電極とを接続し、不揮発性メモリとして用いることができる。さらには電極間に強誘電体膜を挟んだものをゲート電極として用いるFET構造の不揮発性メモリにも適用可能であることはいうまでもない。

【0065】

次に、本発明の第2の実施形態として、このIr_xTa_{1-x}の組成について説明する。

【0066】

Irの組成比xを変化させ、反応性スパッタリング法によりシリコン基板上にIr_xTa_{1-x}層を形成した。その成膜条件は下表に示す通りであった。

【0067】

【表 1】

表 1

組成比	結晶性	膜質
Ta	多結晶	
Ir _{0.2} Ta _{0.8}	アモルファス	○
Ir _{0.4} Ta _{0.6}	アモルファス	◎
Ir _{0.5} Ta _{0.5}	アモルファス	○
Ir _{0.6} Ta _{0.4}	微結晶	
Ir _{0.8} Ta _{0.2}	微結晶	
Ir	柱状多結晶	

【0068】

また、その結果得られた膜の結晶性および膜質を下表に示す。

【0069】

【表 2】

表 2

	Ta	Ir _{0.2} Ta _{0.8}	Ir _{0.4} Ta _{0.6}	Ir _{0.5} Ta _{0.5}	Ir _{0.6} Ta _{0.4}	Ir _{0.8} Ta _{0.2}	Ir
P 400		60/400	150/400	140/230	200/210	200/60	200
G Ar	Ar	Ar	Ar	Ar	Ar	Ar	Ar
F 20	20	20	20	20	20	20	20
R 5	9.6	18.4	10.1	10.7	9	8.5	

P: パワー (W)

G: スパッタガス

F: ガス流量 (sccm)

R: 成膜レート (nm/min)

【0070】

さらにまた、このときのSEM写真を図4乃至図10に示す。ここで図4乃至図9は、酸化シリコン膜表面にシリコン膜を介してTa、Ir_xTa_{1-x} (X=0.2, 0.4, 0.5, 0.6, 0.8, : Ir_{0.2}Ta_{0.8}、Ir_{0.4}Ta_{0.6}、Ir_{0.5}Ta_{0.5}、Ir_{0.6}Ta_{0.4}、Ir_{0.8}Ta_{0.2}) を形成したもの、図10は酸化シリコン膜表面に酸化イリジウムをイリジウムを形成したものである。図中界面に白くみえているのは、シリサイドである。

【0071】

XRD、上記SEM結果からイリジウムの含有量が20-50%であるとき、アモルファス状態をとることがわかった。また、イリジウムの含有量が60-8

0%であるとき、微結晶状態をとっている。

またSEM結果によれば、イリジウムの含有量が40%であるとき、結晶粒もなく最も良好なアモルファス状態をとることがわかった。

【0072】

次に、本発明の第3の実施形態として、電極としてイリジウムを用いた場合とプラチナを用いた場合について、バリア層の組成を変化させ、アニール後の抵抗率を測定した。

【0073】

まず、図18に示すように、シリコン基板1の表面に酸化シリコン膜2を介して接着層として膜厚40nmのチタン層31、膜厚80nmのチタンナイトライド層32を形成し、この上層に膜厚800nmのタングステン膜3を形成したものに對し、バリア層40として膜厚100nmのアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層を形成し、膜厚100nmのイリジウム層からなる電極15を形成した。

【0074】

この構造で成膜した後、熱処理後のバリア材の酸化による抵抗率変化をみるため、横型炉で400℃30分の酸素アニールを行った後RTAで625℃から50℃刻みでアニールしアニール温度を変化させ、各温度でのシート抵抗を測定した。この測定結果を図12に曲線aで示す。また、アニール後のW、IrTaの酸化、膜剥がれの状態を観察するためSEMによる断面観察を行った。

【0075】

その結果、700℃程度までシート抵抗の増大はなくタングステンの酸化なしに良好に維持されていることがわかる。775℃では膜剥がれが生じた。RTA675℃で若干IrTaの酸化がはじまっているようにみえたが、700℃程度までWの酸化は抑えられている。そして775℃では膜剥がれが生じた。

【0076】

次に、このバリア層40としての膜厚100nmのアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層の組成を変化させアモルファス $\text{Ir}_{0.5}\text{Ta}_{0.5}$ 層とし、後はまったく同様に形成したものについても同様の測定を行った。その結果を曲線bとして示す。

【0077】

その結果上記構造では、RTA 625℃で若干IrTaの酸化がはじまり、775℃程度でWの酸化が起こっている。

さらに、このバリア層40としては膜厚100nmのアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層を使用し、電極層15を膜厚100nmのプラチナ層とし後はまったく同様に形成したものについても同様の測定を行った。その結果を曲線cとして示す。

【0078】

その結果上記構造では、RTA 625℃で若干IrTaの酸化がはじまり、775℃程度でWの酸化が起こっている。RTA 625℃で若干IrTaの酸化がはじまっているのは、上記aに示した構造では、イリジウム自体のバリア性が、プラチナに比べて高いためである。

【0079】

さらに比較例として、バリア層40としての膜厚100nmの酸化イリジウム IrO_2 層を形成するとともに、電極15をそれぞれ膜厚100nmのイリジウム、プラチナとし、後はまったく同様に形成したものについても同様の測定を行った。その結果を曲線d、eとして示す。

【0080】

その結果上記比較例の構造では、RTA 725℃で若干IrTaが酸化して膨張し、Wの界面で膜剥がれが起こっている。

【0081】

以上の比較からバリア層として酸化イリジウムを用いた場合にはRTA 625℃の段階でタングステンの酸化を止めることができなかった。IrTaでは、シート抵抗の変化はないがRTA 625℃からIrTa自体の酸化が起こっていることがSEM観察によりわかった。

【0082】

またイリジウムの方が酸素バリア性が高く、電極としてはプラチナよりもイリジウムを用いる方が良好な酸素バリア効果を得ることができることがわかる。

【0083】

さらにまた表面に酸化イリジウムが形成されているが、酸化イリジウムの比抵抗は低く、また酸素バリア性が極めて高いため、優れたバリア効果を得ることが

できる。

【 0 0 8 4 】

次に、本発明の第 4 の実施形態について説明する。前記第 3 の実施形態ではバリア層自体の酸化を防ぐことができなかったため、第 4 の実施形態では、バリア層自体の酸化を防ぐことのできる構造について説明する。

【 0 0 8 5 】

図 1 3 に示すように、バリア層の膜厚を半分にして膜厚 5 0 n m のアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層 4 0 a とし、この上層に膜厚 5 0 n m のアモルファス $\text{Ir}_{0.2}\text{Ta}_{0.8}$ 層 4 0 b を積層した二重構造のバリア層としたものである。そして電極としては膜厚 1 0 0 n m のプラチナ層 2 5 を用いた。他の構造は前記第 3 の実施形態とまったく同様に形成した。

【 0 0 8 6 】

そして、アニール後の抵抗率を測定した。

その結果、R T A 6 7 5 ° C 程度で、若干のバリア層の酸化が起こり、7 2 5 ° C ではタングステンの酸化が進んでいることがわかった。

次に、この二重バリア構造の上層側の組成を変化させて同様の測定を行った。すなわちバリア層の膜厚を半分にして膜厚 5 0 n m のアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層 4 0 a とし、この上層に膜厚 5 0 n m のアモルファス $\text{Ir}_{0.8}\text{Ta}_{0.2}$ 層 4 0 b を積層した二重構造のバリア層と、上層側を膜厚 5 0 n m のアモルファス IrO_2 層 4 0 b とした二重構造のバリア層とを形成した。

【 0 0 8 7 】

その結果、Pt/ IrO_2 / $\text{Ir}_{0.4}\text{Ta}_{0.6}$ / W 構造では、R T A 6 2 5 ° C で W の酸化が起こっていることがわかった。

また、Pt/ $\text{Ir}_{0.8}\text{Ta}_{0.2}$ / $\text{Ir}_{0.4}\text{Ta}_{0.6}$ / W 構造では、R T A 6 2 5 ° C で $\text{Ir}_{0.4}\text{Ta}_{0.6}$ の酸化が進み R T A 6 7 5 ° C で W の酸化が起こっている。

【 0 0 8 8 】

さらに、Pt/ $\text{Ir}_{0.2}\text{Ta}_{0.8}$ / $\text{Ir}_{0.4}\text{Ta}_{0.6}$ / W 構造では、R T A 6 7 5 ° C で $\text{Ir}_{0.2}\text{Ta}_{0.8}$ および $\text{Ir}_{0.4}\text{Ta}_{0.6}$ の酸化が進み、R T A 7 2 5 ° C で W の酸化が起こっている。

【 0 0 8 9 】

従ってこの構造では $\text{Ir}_{0.2}\text{Ta}_{0.8}$ を積層した場合に、バリア効果が高いことがわかる。また、625℃以下の低温プロセスではタングステンの酸化なしに良好な特性を維持することが可能となる。

【0090】

次に、本発明の第5の実施形態について説明する。この例ではバリア層を3層構造とし、電極15として膜厚100nmのプラチナ層を用い、PZT層からなる強誘電体層6を形成した。ここでは740℃のRTAに耐えることができるように、Ptからなる電極15を抜けた酸素のバリアとして、 IrO_2 からなる第1のバリア層41と、この IrO_2 自体からの酸素や IrO_2 を抜けた酸素をバリアするために第2のバリア層42としてIr層を加えさらにIrとW（タングステンプラグ層3）の接着層をかねた第3のバリア層43としてIrTaを用いた3層のバリア構造を形成した。

【0091】

すなわち図14に示すように、プラチナ層からなる電極15側から、膜厚65nmの IrO_2 層からなる第1のバリア層41と、この下層に膜厚50nmのイリジウム層からなる第2のバリア層42、さらに膜厚50nmのアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層43を積層した三層構造のバリア層としたものである。下地の構造は前記第3の実施形態とまったく同様に形成した。

【0092】

次に、この本発明の第5の実施形態による電極構造を用いた強誘電体キャパシタの製造方法について説明する。

まずシリコン基板1の表面を熱酸化し、酸化シリコン層2を形成する。ここでは、酸化シリコン層2の厚さを600nmとした。

【0093】

次に、チタンをターゲットとして用いて、反応性スパッタリングにより膜厚40nmのチタン層31、膜厚80nmのチタンナイトライド層32を形成する。

そして、 WF_6 を用いたCVD法によりW膜3を形成する。

【0094】

この後、イリジウムおよびタンタルをターゲットとして用いて、反応性スパッ

タリングにより膜厚 5 0 n m のアモルファス $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層からなる第 3 のバリア層 4 3、この上層に膜厚 5 0 n m のイリジウム層からなる第 2 のバリア層 4 2、さらにこの上層に膜厚 6 5 n m の IrO_2 層からなる第 1 のバリア層 4 1 を形成し、さらにこの上層に膜厚 1 0 0 n m のプラチナ層からなる電極 6 を形成する。

【 0 0 9 5 】

次に、この（下部）電極 1 5 の上に、ゾルゲル法によって、強誘電体層 6 として P Z T 膜を形成する。出発原料として、 $\text{Pb}(\text{CH}_3\text{COO})_2 \cdot 3\text{H}_2\text{O}$ 、 $\text{Zr}(\text{t-OC}_4\text{H}_9)_4$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ の混合溶液を用いた。この混合溶液をスピコートした後、1 5 0 °C（摂氏、以下同じ）で乾燥させ、ドライエアー雰囲気において 4 0 0 °C で 3 0 秒の仮焼成を行った。これを 5 回繰り返した後、 O_2 雰囲気中で、4 0 0 度 3 0 分の熱処理を施した。そして RTA 7 4 0 °C の結晶化アニールを行い膜厚 2 1 0 n m の P Z T 層からなる強誘電体層 6 を形成した。なお、ここでは、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ において、 x を 0. 5 2 として（以下 P Z T（5 2・4 8）と表わす）、P Z T 膜を形成している。

【 0 0 9 6 】

さらに、強誘電体層 6 の上に、反応性スパッタリングにより Ir 層および IrO_2 層を形成し、2 層構造の上部電極（図示せず）とする。ここでは、2 0 0 n m の厚さに形成した。このようにして、強誘電体キャパシタを得る。

【 0 0 9 7 】

このようにして形成された強誘電体キャパシタは、結晶化後もタンゲステンブラグ 3 の酸化はみられず、各層の酸化も起こっていない。

図 1 5（c）にこの強誘電体キャパシタ（P Z T（2 1 0 n m）/ Pt（1 0 0 n m）/ IrO_2 （6 5 n m）/ Ir（5 0 n m）/ Ta（5 0 n m）/ W（100 n m））構造のヒステリシス特性を測定した結果を示す。また、比較のために電極と強誘電体層および下地層は変化させることなく、バリア層の組成のみを変化させたものとして、4 つの構造を作成した。

【 0 0 9 8 】

すなわち、第 2 の構造：P Z T（2 1 0 n m）/ Pt（1 0 0 n m）/ IrO_2 （6 5 n m）/ Ir（5 0 n m）/ $\text{Ir}_{0.4}\text{Ta}_{0.6}$ 層（5 0 n m）/ W（100 n m）、第 3 の構

造：PZT (210 nm) / Pt (50 nm) / IrO₂ (65 nm) / Ir (50 nm) / Ir_{0.4}Ta_{0.6}層 (50 nm) / W (100 nm)、第4の構造：PZT (210 nm) / Pt (100 nm) / IrO₂ (65 nm) / Ir (50 nm) / Ir_{0.4}Ta_{0.6}層 (50 nm) / W (100 nm)、第5の構造：PZT (210 nm) / Pt (100 nm) / IrO₂ (65 nm) / Ir (25 nm) / Ir_{0.4}Ta_{0.6}層 (50 nm) / W (100 nm)、について図15 (b) 乃至 (e) に、ヒステリシス特性を測定した結果を示す。図15 (f) は比較のためにタングステンプラグではなく酸化シリコン層上に形成した強誘電体メモリのヒステリシス特性を示す。

いずれも若干のW、IrTaの酸化は生じているが、いずれも良好なヒステリシス特性を得ることができた。

【0099】

第1のバリア層の膜厚が薄くなっている部分で膜剥がれが生じた。

結晶化アニール温度が745℃と高温であるため、若干の酸化はみられたが、いずれも実用に供し得る程度であることがわかった。

【0100】

また、残留分極についてもPrの劣化がかなり改善されることが明らかである。特に、上部電極および下部電極の双方にIrTaバリア層を形成すると、100サイクルまで劣化がほとんど生じないことが明らかである。

【0101】

ところで、IrTaはアモルファスであるが、上層にプラチナ層を形成することにより、この上層に形成される強誘電体膜も、良好に配向する。

【0102】

なお、白金層に代えて、イリジウム層や白金とイリジウムの合金等の、配向性の良い導電体層を設けてもよい。特に、白金とイリジウムの合金は、配合比を変えることで格子定数を選択することができ、強誘電体層との格子定数のマッチングをとりやすい。

【0103】

また、上記実施例では、接合層としてチタン層とチタンナイトライド層との2層構造膜を用いたが、接合性を改善する材料であれば、どのようなものでもよい。

。例えば、白金層を用いてもよい。

次に、IrTaの組成比についてはわずかに組成比を変化させることにより図16に示すようにピーク特性は大きく変化する。従ってわずかな組成比の調整により、最適な特性を得ることが可能であることがわかる。

【0104】

上記各実施例では、強誘電体膜としてPZTを用いているが、酸化物強誘電体であれば、どのようなものを用いてもよい。たとえば、 $\text{Ba}_4\text{Ti}_3\text{O}_{12}$ や $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いてもよい。

【0105】

この発明の他の実施例によるキャパシタとしては、強誘電体層6に代えて、高誘電率を有する誘電体層を用いたものも有効である。酸化シリコン層2の上に形成されたタングステンプラグに、本発明のバリア層を含むプラチナの下部電極を設け、その上に SrTiO_3 、 $(\text{Sr}, \text{Ba})\text{TiO}_3$ のペロブスカイト構造を有する高誘電率薄膜を誘電体層として形成した。この場合も、強誘電体の場合と同様、誘電性の改善をはかることができた。つまり、強誘電体層について述べたことは、高誘電率を有する誘電体層にも適用可能であることが明らかとなった。

【0106】

なお、前記実施例では強誘電体キャパシタについて説明したが、キャパシタに限定されることなく、高温工程を経る配線など他の工程にも適用可能であることはいうまでもない。

【0107】

【発明の効果】

以上説明してきたように、本発明によれば、電極として下式



M1 : Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、
Co、Fe、Ni、V、Cr

M2 : Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶からなるバリア層を含むようにしている。
このアモルファス又は微結晶からなるバリア層は、はっきりした粒界がないため

、バリア効果が大きく、酸素などの相互拡散や、スパイクが防止される上、このバリア層は誘電体層の成膜温度で結晶化することなくアモルファス又は微結晶の状態を維持することができる。したがって、誘電体層からの酸素の抜け出しを防止することができ、誘電特性の経年変化を抑えることができる。また、これらのアモルファス又は微結晶膜上に形成される誘電体薄膜は、配向性も良好であり、信頼性の高い誘電体構造を提供することが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態による強誘電体キャパシタの構造を示す図である。

【図 2】本発明の第 1 の実施形態の強誘電体キャパシタの製造工程を示す図である。

【図 3】本発明の第 1 の実施形態の強誘電体キャパシタの説明図である。

【図 4】本発明の第 2 の実施形態における Ta の組成比と成膜状況を示す SEM 写真である。

【図 5】本発明の第 2 の実施形態における IrTa の組成比と成膜状況を示す SEM 写真である。

【図 6】本発明の第 2 の実施形態における IrTa の組成比と成膜状況を示す SEM 写真である。

【図 7】本発明の第 2 の実施形態における IrTa の組成比と成膜状況を示す SEM 写真である。

【図 8】本発明の第 2 の実施形態における IrTa の組成比と成膜状況を示す SEM 写真である。

【図 9】本発明の第 2 の実施形態における IrTa の組成比と成膜状況を示す SEM 写真である。

【図 10】本発明の第 2 の実施形態における Ir の組成比と成膜状況を示す SEM 写真である。

【図 11】本発明の第 3 の実施形態による半導体装置の構造を示す図である。

【図 12】同半導体装置のアニール温度とそのシート抵抗との関係を示す図である。

【図 1 3】 本発明の第 4 の実施形態による半導体装置の構造を示す図である。

【図 1 4】 本発明の第 5 の実施形態による強誘電体メモリの構造を示す図である。

。 【図 1 5】 本発明の第 5 の実施形態による強誘電体メモリのヒステリシス特性を測定した結果を示す図である。

【図 1 6】 IrTaの組成とピーク値との関係を示す図である。

【図 1 7】 従来例の強誘電体メモリを示す図である。

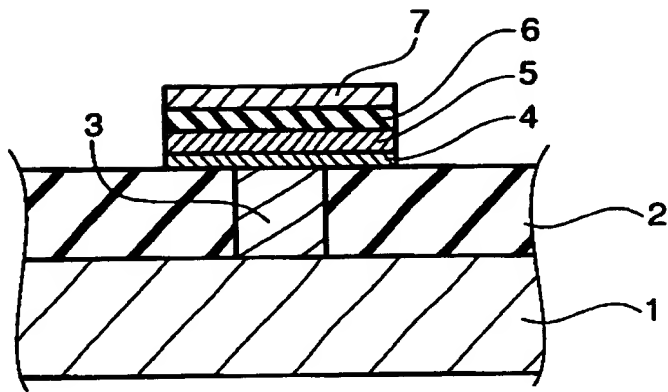
【図 1 8】 同強誘電体メモリの説明図である。

【符号の説明】

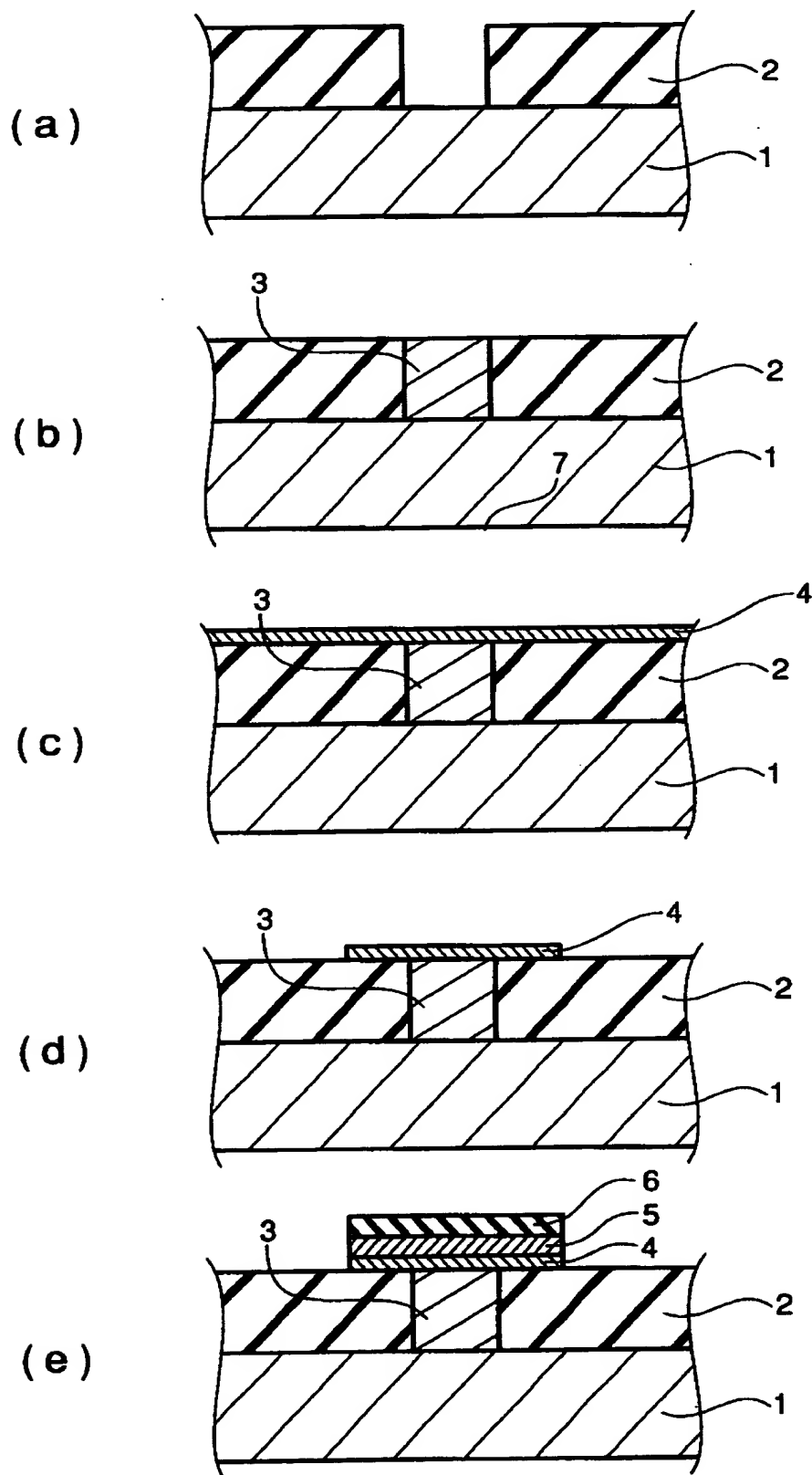
- 1 シリコン基板
- 2 酸化シリコン膜
- 3 タングステンプラグ
- 4 バリア層
- 5 電極
- 6 強誘電体層
- 7 電極

【書類名】 図面

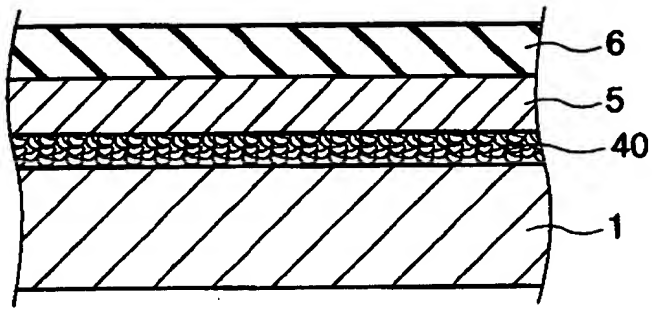
【図 1】



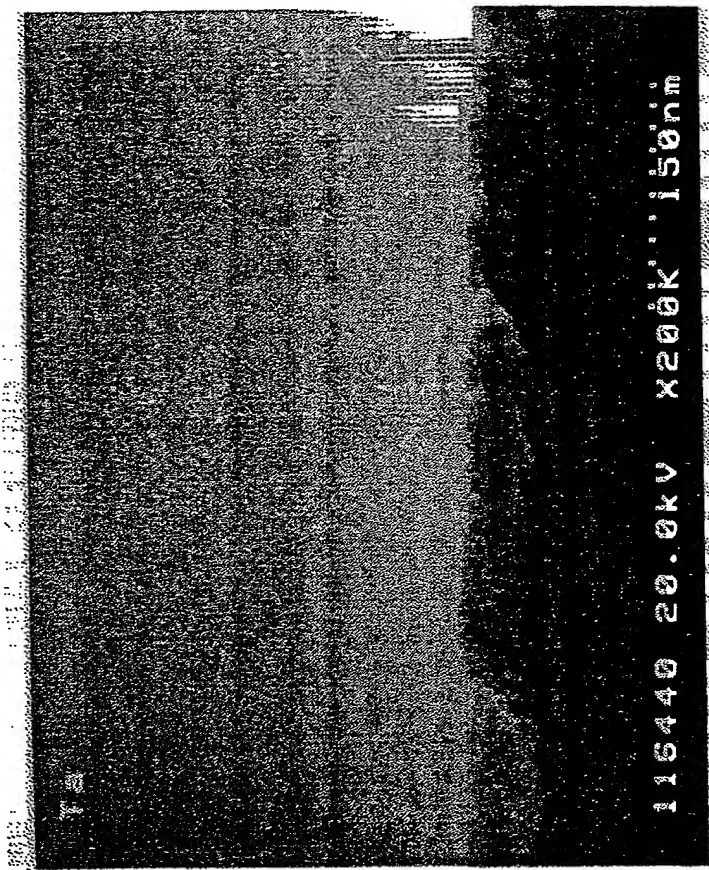
【図 2】



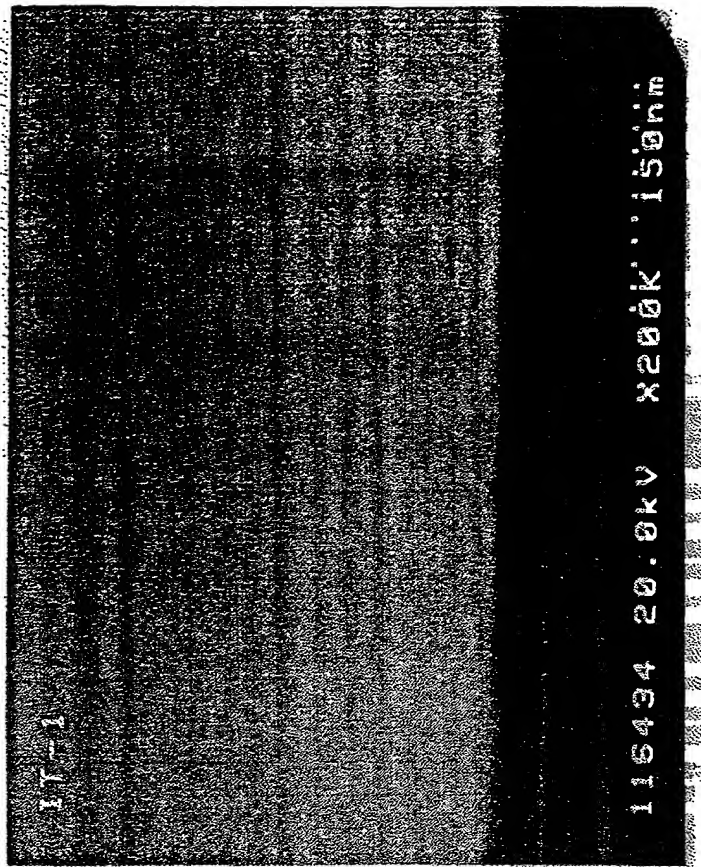
【図 3】



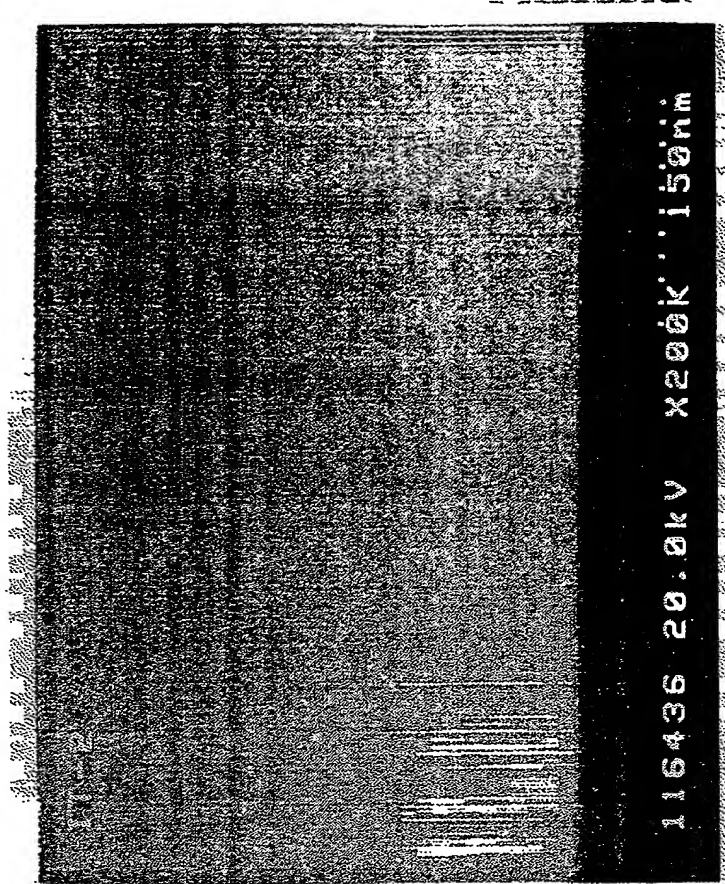
【図 4】



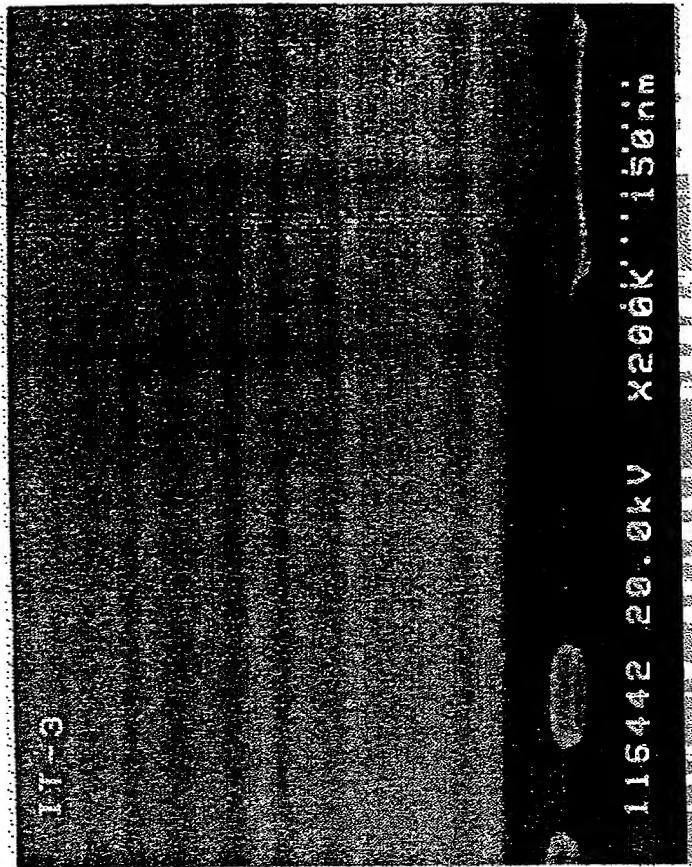
【図5】



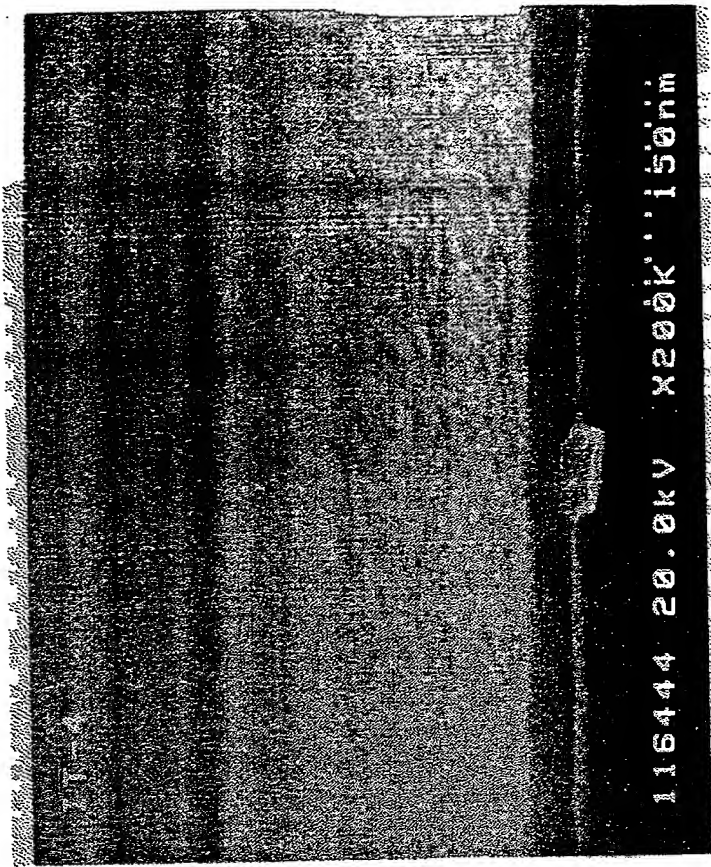
【図6】



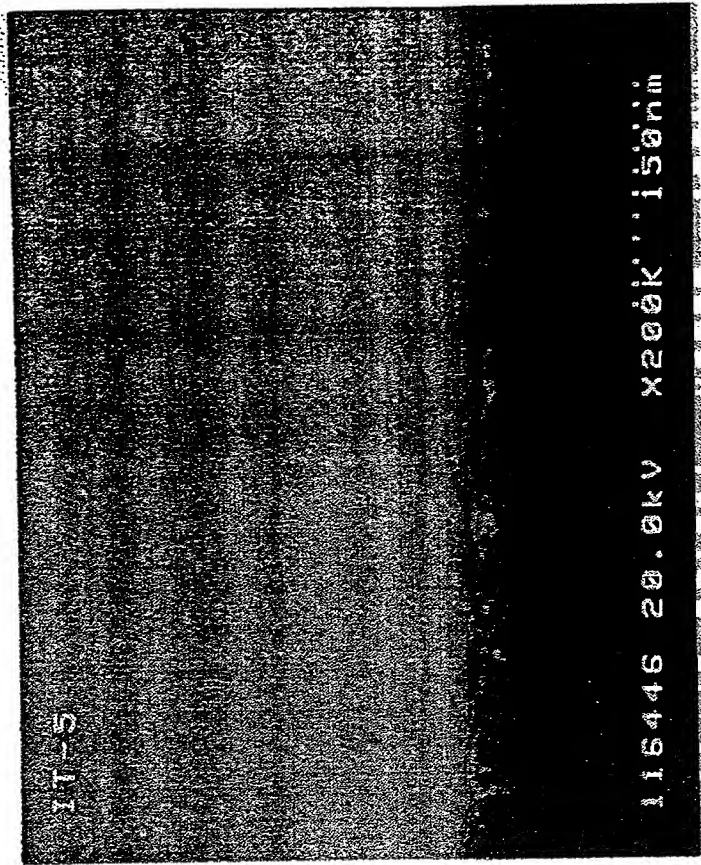
【図 7】



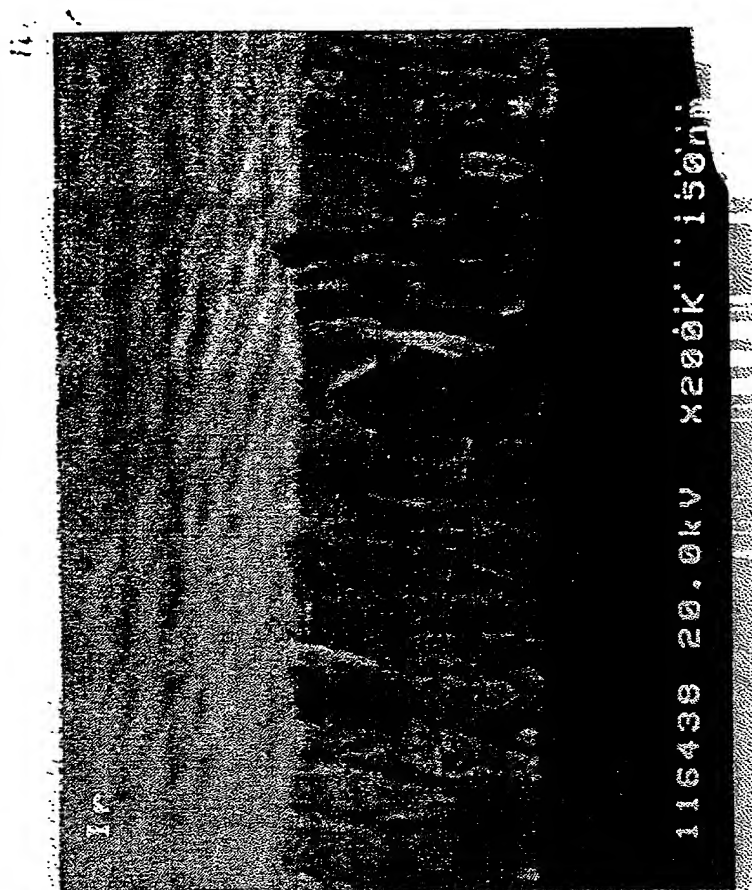
【図 8】



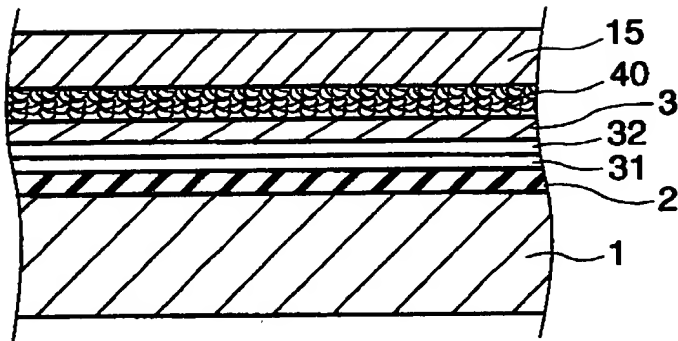
【図9】



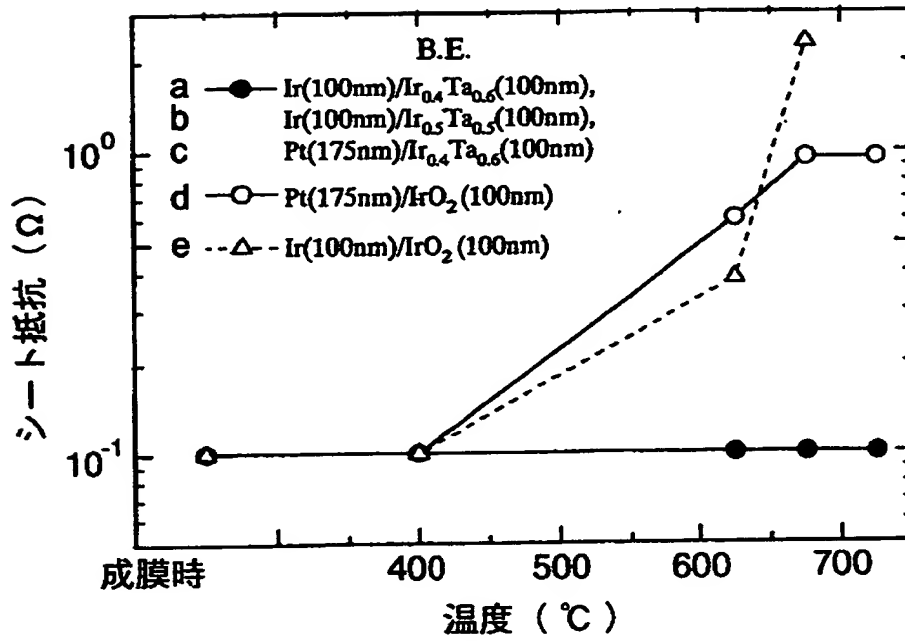
【図 1 0】



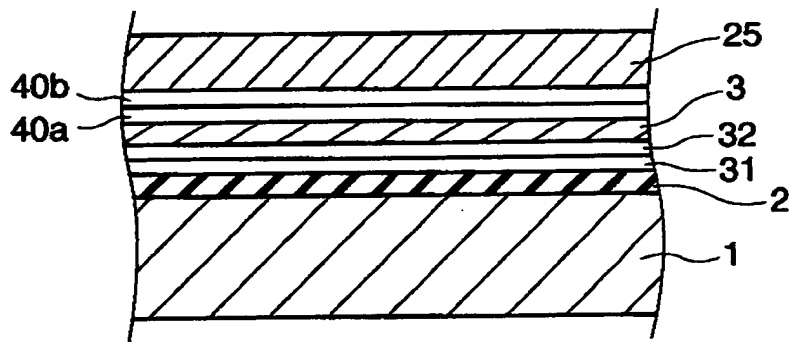
【図 1 1】



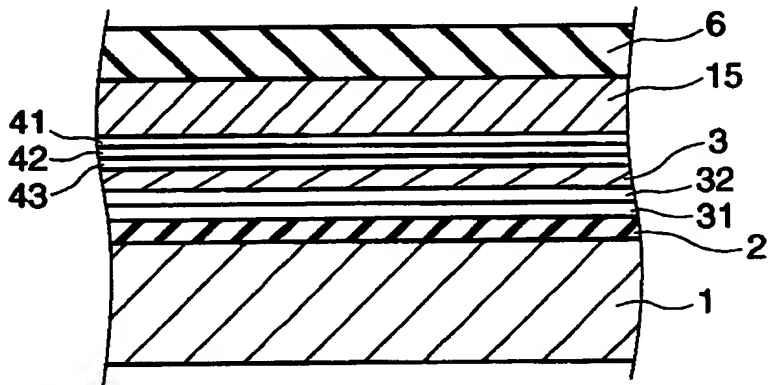
【図 1 2】



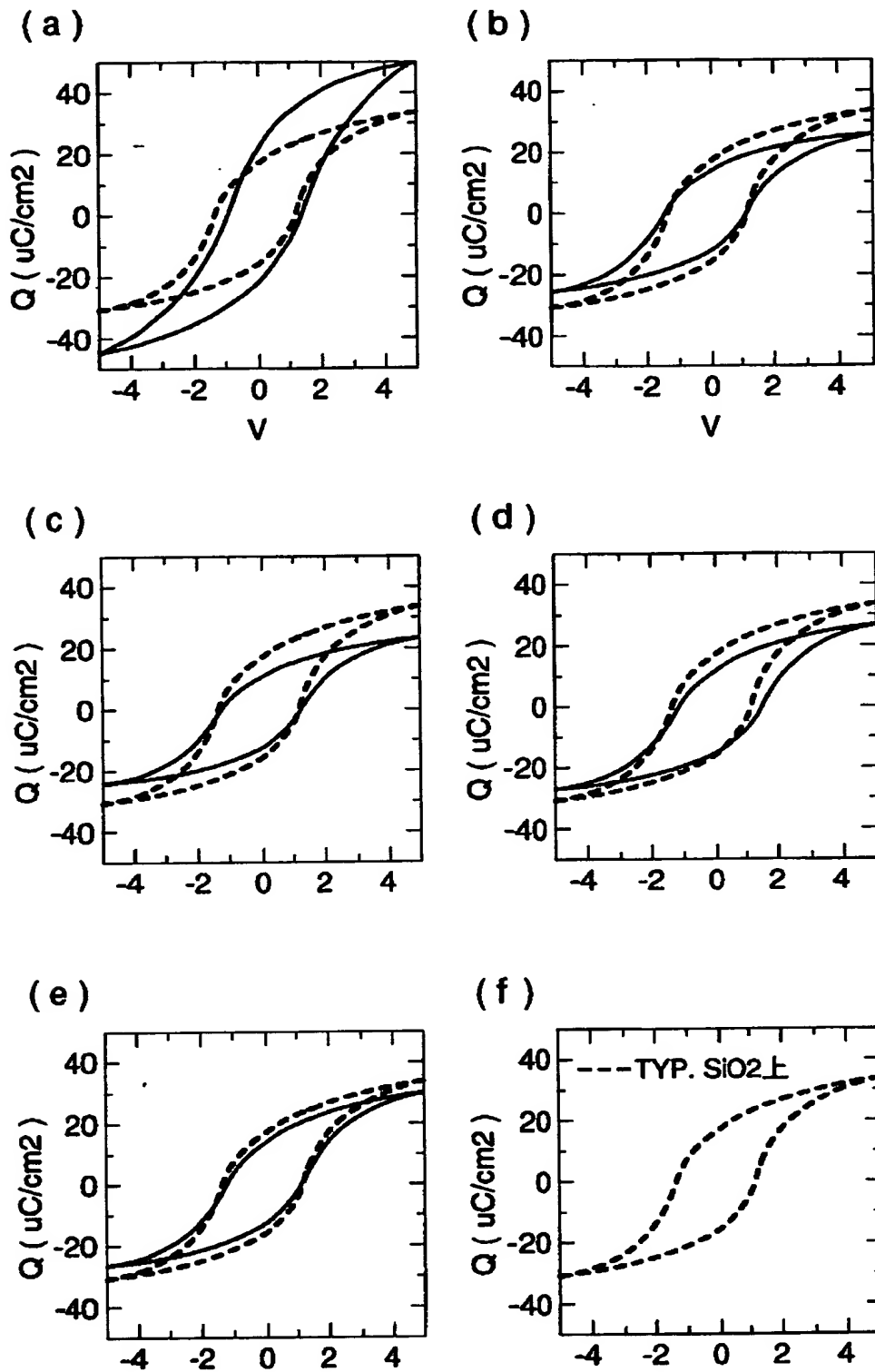
【図 1 3】



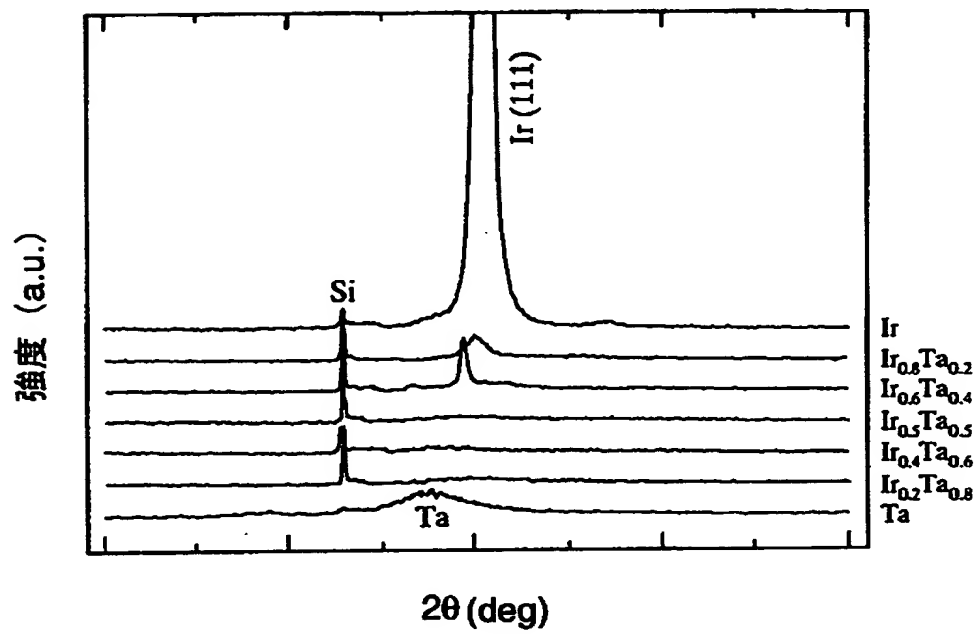
【図 1 4】



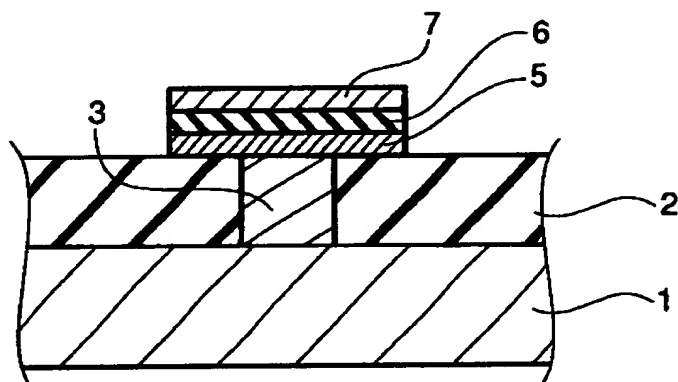
【図15】



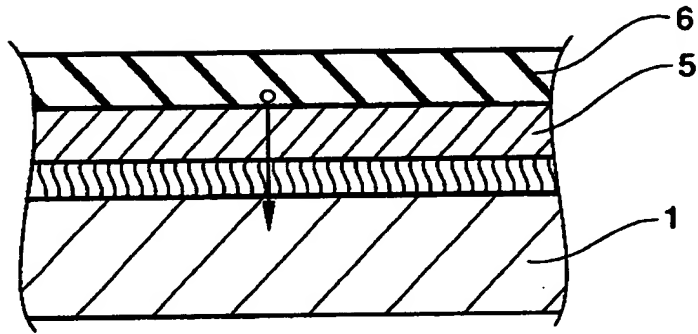
【図 1 6】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 経年劣化および分極反転の繰り返しによる劣化の少ない強誘電体キャパシタまたは高誘電率を有する誘電体キャパシタを提供する。比抵抗の増大なしに信頼性の高い配線を有する半導体装置を提供する。

【解決手段】 半導体基板表面上に形成された電極を含み、
前記電極が下式

$$M1_x M2_{1-x}$$

$M1$: Au、Pt、Ir、Pd、Os、Re、Rh、Tu、Cu、
Co、Fe、Ni、V、Cr

$M2$: Ti、Zr、Hf、W、Y、Mo、Nb

で表されるアモルファスまたは微結晶からなるバリア層を含むことを特徴とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 京都府京都市右京区西院溝崎町21番地
氏 名 ロ一ム株式会社